

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 8 2 0 5

(43) 公開日 平成 9 年 (1997) 1 月 1 日

(51) Int. Cl.

H01L 23/50

識別記号

庁内整理番号

F I

H01L 23/50

法所表示番号

23/12

23/12

- 2

1

L

審査請求 未請求 請求項の数 7 F D (全 15 頁)

(21) 出願番号 特願平 7 - 1 7 0 4 9 0

(22) 出願日 平成 7 年 (1995) 6 月 1 4 日

(71) 出願人 0 0 0 0 0 2 8 9 7

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目 1 番 1 号

(72) 発明者 山田 雄一

東京都新宿区市谷加賀町一丁目 1 番 1 号

大日本印刷株式会社内

(72) 発明者 佐々木 賢

東京都新宿区市谷加賀町一丁目 1 番 1 号

大日本印刷株式会社内

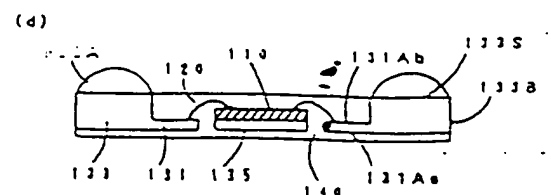
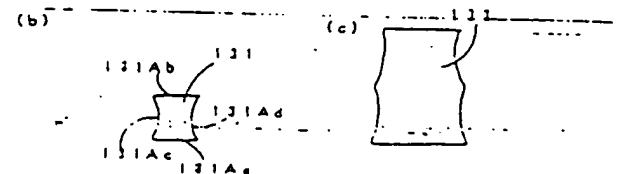
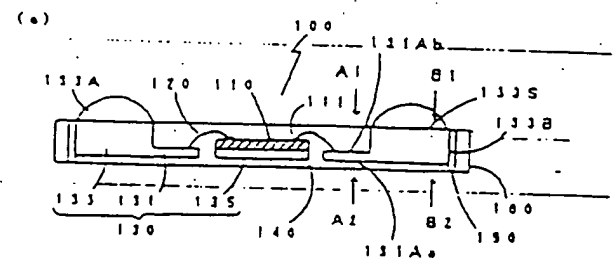
(74) 代理人 弁理士 小西 淳英

(54) (発明の名称) 樹脂封止型半導体装置

(57) (要約) (修正有)

(目的) 多素子化に対応でき、且つ、アウターリードの位置ズレや平坦性の問題にも対応できる樹脂封止型半導体装置を提供する。

(構成) 一体的に遷延したリードフレーム素材と同じ厚さの外部回路と接続するための柱状の端子柱 133 とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交して設けられており、端子柱の先端面に半田等からなる端子部を設け、端子部を封止用樹脂部から露出させ、端子柱の外部側の側面を封止用樹脂部から露出させており、インナーリードは、断面形状が略方形で第 1 面 131 A a、第 2 面 A b、第 3 面 A c、第 4 面 A d の 4 面を有しており、かつ第 1 面はリードフレーム素材と同じ厚さの地の部分の一方の面と同一平面上にあって第 2 面に向き合っており、第 3 面、第 4 面はインナーリードの内側に向かって凹んだ形状に形成されている。



【特許請求の範囲】

【請求項 1】 2 段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用いた半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路とを積層するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交して設けられており、端子柱の先端面に半田等からなる端子部を設け、端子部を封止用樹脂部から露出させ、端子柱の外部側の側面を封止用樹脂部から露出させており、インナーリードは、断面形状が略方形で第 1 面、第 2 面、第 3 面、第 4 面の 4 面を有しており、かつ第 1 面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第 2 面に向き合っており、第 3 面、第 4 面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とする樹脂封止型半導体装置。

【請求項 2】 2 段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用いた半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路とを積層するための柱状の端子柱とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交して設けられており、端子柱の先端の一部を封止用樹脂部から露出させて端子部とし、端子柱の外部側の側面を封止用樹脂部から露出させており、インナーリードは、断面形状が略方形で第 1 面、第 2 面、第 3 面、第 4 面の 4 面を有しており、かつ第 1 面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第 2 面に向き合っており、第 3 面、第 4 面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とする樹脂封止型半導体装置。

【請求項 3】 請求項 1 ないし 2 において、半導体素子はインナーリード間に収まり、該半導体素子の電極部はワイヤにてインナーリードと電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項 4】 請求項 3 において、リードフレームはダイパッドを有しており、半導体素子はダイパッド上に搭載され、固定されていることを特徴とする樹脂封止型半導体装置。

【請求項 5】 請求項 3 において、リードフレームはダイパッドを持たないもので、半導体素子はインナーリードとともに樹脂固定用テープにより固定されていることを特徴とする樹脂封止型半導体装置。

【請求項 6】 請求項 1 ないし 2 において、半導体素子は半導体素子の電極部側の面をインナーリードの第 2 面

に絶縁性接着材により固定されており、該半導体素子の電極部はワイヤによりインナーリードの第 1 面と電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項 7】 請求項 1 ないし 2 において、半導体素子はバンプによりインナーリードの第 2 面に固定されて電気的にインナーリードと接続していることを特徴とする樹脂封止型半導体装置。

【発明の詳細な説明】

10 (0001)

【産業上の利用分野】 本発明は、半導体装置の多端子化に対応でき、且つ、アフターリードの位置ズレ（スキュー）やアフターリードの平坦性（コプラナリティー）の悪化に対応できる、リードフレームを用いた樹脂封止型半導体装置に関する。

(0002)

【従来の技術】 従来より用いられている樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）

は、一般に図 15 (a) に示されるような構造であり、半導体素子 1520 を搭載するダイパッド部 1511 や外部の回路との電気的接続を行うためのアフターリード部 1513、アフターリード部 1513 に一体となったインナーリード部 1512、該インナーリード部 1512

の先端部と半導体素子 1520 の電極パッド 1521 とを電気的に接続するためのワイヤ 1530、半導体素子 1520 を封止して外界からの応力、汚染から守る樹脂 1540 からなっており、半導体素子 1520 をリードフレームのダイパッド 1511 部等に搭載した状態で、樹脂 1540 により封止してパッケージとしたもので、半導体素子 1520 の電極パッド 1521 に対応

できるインナーリード 1512 を必要とするものである。そして、このような樹脂封止型の半導体装置の組立材料として用いられる（基層）リードフレームは、一般には図 15 (b) に示すような構造のもので、半導体素子 1520 を搭載するためのダイパッド 1511 と、ダイパッド 1511 の周囲に設けられた半導体素子と接続するためのインナーリード 1512、該インナーリード 1512 に連通して外部回路との接続を行うためのアフターリード 1513、樹脂封止する際のダムとなるダムバー 1514、リードフレーム 1510 全体を支持するフレーム

1515 等を備えており、通常、コパル、42 合金（42% ニッケル - 銅合金）、銅合金のような高電圧に優れた合金を用い、プレス法もしくはエッチング法により形成されていた。尚、図 15 (b) (c) は、図 15 (b) (イ) に示すリードフレーム平面図の F1 - F2 における断面図である。

(0003) このようなリードフレームを利用した樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）においても、電子装置の高度微小化の潮流と半導体素子の高集積化に伴い、小型薄型化かつ電極素子の

増大化が顕著で、その結果、樹脂封止型半導体装置、特に QFP (Quad Flat Package) 及び TQFP (Thin Quad Flat Package) 等では、リードの多ピン化が著しくなってきた。上記の半導体装置に用いられるリードフレームは、従来なものはフォトリソグラフィ工程を用いたエッチング加工方法により作製され、微細でないものはプレスによる加工方法による作製されるのが一般的であったが、このような半導体装置の多ピン化に伴い、リードフレームにおいても、インナーリード部先端の微細化が進み、当初は、微細なものに対しては、プレスによる打ち抜き加工によらず、リードフレーム部材の板厚が 0.25 mm 程度のものを用い、エッチング加工で対応してきた。このエッチング加工方法の工程について以下、図 14 に基づいて簡単に述べておく。先ず、銅合金もしくは 42% ニッケル-鉄合金からなる厚さ 0.25 mm 程度の厚板 (リードフレーム素材 1410) を十分洗浄 (図 14 (a)) した後、重クロム酸カリウムを感光剤とした水溶性カゼインレジスト等のフォトレジスト 1.4 μm 程度の厚板の前面に均一に塗布する。(図 14 (b)) 次いで、所定のパターンが形成されたマスクを介して高圧水銀灯でレジスト面を露光した後、所定の現像液で感光性レジストを現像して (図 14 (c))、レジストパターン 1430 を形成し、酸処理、洗浄処理等を必要に応じて行い、塩化第二鉄水溶液を主たる成分とするエッチング液にて、スプレーにて被覆板 (リードフレーム素材 1410) に吹き付け所定の寸法形状にエッチングし、露出させる。(図 14 (d)) 次いで、レジスト層を剥離処理し (図 14 (e))、洗浄後、所望のリードフレームを得て、エッチング加工工程を終了する。このように、エッチング加工方法によって作製されたリードフレームは、更に、所定のエリアに接メッキ等が施される。次いで、洗浄、乾燥等の処理を経て、インナーリード部を固定用の接着剤付きポリイミドテープにてテーピング処理したり、必要に応じて所定のスタブ吊りバーを白げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による腐蝕は被加工板の底面側の他に底縁 (面) 方向にも進むため、その微細化加工にも現度があるのが一般的で、図 14 に示すように、リードフレーム素材の両面からエッチングするため、ライン間隔が狭い場合、ライン間隔の加工精度は、板厚の 50~100% 程度とされている。又、リードフレームの後工程等のアフターリードの強度を考えた場合、一般的には、その板厚は約 0.125 mm 以上必要とされている。このため、図 14 に示すようなエッチング加工方法の場合、リードフレームの板厚を 0.15 mm~0.125 mm 程度まで薄くすることにより、ワイヤボンディングのための必要な平坦部 70~80 μm を確保し、0.165 mm ピッチ程度の微細なインナー

リード部先端のエッチングによる加工を達成してきたが、これが限度とされていた。

(0004) しかしながら、近年、樹脂封止型半導体装置は、小パッケージでは、電極端子であるインナーリードのピッチが 0.165 mm ピッチを超え、更に 0.15~0.13 mm ピッチまでの狭ピッチ化要求がでてきた事と、エッチング加工において、リード部材の板厚を薄くした場合には、アセンブリ工程や実装工程といった後工程におけるアフターリードの強度確保が難しいという点から、単にリード部材の板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

(0005) これに対応する方法として、アフターリードの強度を確保したまま微細化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、後工程においての強度が不足する (例えば、めっきエリアの平坦性)、「ボンディング」「モールドイング」時のクランプに必要なインナーリードの平坦性、寸法精度が確保されない、製版を 2 度行なわなければならない製造工程が複雑になる、等問題点が多くある。そして、インナーリード部分をハーフエッチングにより薄くしてエッチング加工を行う方法の場合にも、製版を 2 度行なわなければならない製造工程が複雑になるという問題があり、いずれも実用化には、未だ至っていないのが現状である。

(0006)

(発明が解決しようとする課題) 一方、半導体装置の多ピン化に伴いインナーリードピッチが狭くなる為、半導体装置を実装する際に、アフターリードの位置ズレ (スキュー) や平坦性 (コプラナリティー) の良好化が大きな問題となってきた。本発明は、このような状況のもと、多ピン化に対応でき、且つ、アフターリードの位置ズレ (スキュー) や平坦性 (コプラナリティー) の問題にも対応できる半導体装置の提供をしようとするものである。

(0007)

(課題を解決するための手段) 本発明の樹脂封止型半導体装置は、2 段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用いた半導体装置であって、前記リードフレームは、前記リード部と、前記リード部と一体的に連結したインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部回路とを有し、且つ、端子柱はインナーリードの外部側においてインナーリードに対して厚み方向に直交して設けられており、端子柱の先端面に半田等からなる端子部を設け、端子部を封止用樹脂部から露出させ、端子柱の外部側の側面を封止用樹脂部から露出させており、インナーリードは、断面形状が略方形で第 1

(4)

特開平9-8205

6

面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向き合っており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とするものである。また、本発明の樹脂封止型半導体装置は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄面に外形加工されたリードフレームを用いた半導体装置であって、前記リードフレームは、リードフレーム素材よりも厚肉のインナーリードと、該インナーリードに一体的に連通したリードフレーム素材と同じ厚さの外部回路とを積層するための形状の導電性とし、且つ、導電性はインナーリードの外表面においてインナーリードに対して厚み方向に直交して設けられており、導電性の元端の一部を封止用樹脂部から露出させて導電部とし、導電部の外部側の側面を封止用樹脂部から露出させており、インナーリードは、断面形状が略方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向き合っており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とするものである。そして、上記において、半導体素子は、インナーリード部間に収まり、該半導体素子の電極部(パッド)はワイヤにてインナーリードと電気的に接続されていることを特徴とするものである。また、該リードフレームはダイパッドを有し、半導体素子はダイパッド上に搭載、固定されていることを特徴とするものであり、該リードフレームはダイパッドを有さないもので、半導体素子はインナーリードとともに高強度テープにより固定されていることを特徴とするものである。また、上記において、リードフレームはダイパッドを有さないもので、半導体素子はインナーリードとともに高強度テープにより固定されていることを特徴とするものである。また、上記において、半導体素子は、半導体素子の電極部(パッド)側の面をインナーリードの第2面に粘着性接着材により固定されており、該半導体素子の電極部(パッド)はワイヤによりインナーリードの第2面に電気的に接続されていることを特徴とするものである。また、上記において、半導体素子は、パンプによりインナーリードの第2面に固定され、電気的にインナーリードと接続されていることを特徴とするものである。以上、上記において、導電性の元端面に半田膏からなる導電部を設け、導電部を封止用樹脂部から露出させる場合、半田膏からなる導電部は封止用樹脂部から突出したものが一般的であるが、必ずしも突出する必要はない。また、導電部の外部側の側面を封止用樹脂部から露出させて、そのまゝ用いる場合もあるが、封止用樹脂部から露出されて部分を保護材等を介して保護層で覆っても良い。

(0008)

(作用) 本発明の樹脂封止型半導体装置は、上記のように構成することにより、リードフレームを用いた樹脂封止型半導体装置において、多ピン化に対応でき、且つ、従来の図13(b)に示す単層リードフレームを用いた場合のように、アウターリードのフォーミング工程を必要としないため、これらの工程に起因して発生していたアウターリードのスキューの問題やアウターリードの平坦性(コプラナリティー)の問題を全く無くすることができ半導体装置の提供を可能とするものである。詳しくは、2段エッチング加工によりインナーリードの厚さが素材の厚さよりも薄面に外形加工された、即ち、インナーリードを後述に加工された多ピンのリードフレームを用いることにより、半導体装置の多ピン化に対応できるものとしている。更に、後述する、図11に示す2段エッチングにより作製された、リードフレームを用いることにより、インナーリード部の第2面は平坦性を確保でき、ワイヤボンディング性の良いものとしている。また第1面も平坦面で、第3面、第4面はインナーリード側に凹状であるためインナーリード部は、安定しており、且つ、ワイヤボンディングの平坦性を広くとれる。

(0009)

(実施例) 本発明の樹脂封止型半導体装置の実施例を図1に示して説明する。先ず、実施例1の樹脂封止型半導体装置を図1-図2に示して説明する。図1(a)は実施例1の樹脂封止型半導体装置の断面図であり、図1

(b)は図1(a)のA1-A2におけるインナーリード部の断面図で、図1(c)は図1(a)のB1-B2における導電性部の断面図で、図2(a)は実施例1の樹脂封止型半導体装置の斜視図であり、図2(b)はその正面図を、図2(c)は下面図を示している。図1、図2中、100は半導体装置、110は半導体素子、111は電極部(パッド)、120はワイヤ、130はリードフレーム、131はインナーリード、131Aaは第1面、131Abは第2面、131Acは第3面、131Adは第4面、133は導電部、133Aは導電部、133Bは側面、133Sは元端部、135はダイパッド、140は封止用樹脂部である。本実施例1の樹脂封止型半導体装置においては、図1(a)に示すように、半導体素子110は、インナーリード間に収まり、且つ、半導体素子は、図1(a)で半導体素子110の電極部(パッド)111を上にして、半導体素子110の電極部(パッド)111を第2面に電気的に接続してダイパッド135上に搭載され、固定されている。そして、電極部(パッド)111はインナーリード131の第2面131Abにてワイヤ120により、電気的に接続されている。本実施例1の半導体装置100と外部回路との電気的な接続は、導電部133の元端部133Sに設けられた半球状の半田からなる導電部133Aを介してプリント基板等へ搭載されることにより行われる。

尚、実施例1の半導体装置において、必ずしも保護層

180を設ける必要はなく、図1(d)に示すような保護層180を設けない構造のままで良い。

(0010) 実施例1の半導体装置100に使用のリードフレーム130は、42%ニッケル-鉄合金を素材としたもので、そして、図9(a)に示すような形状をした、エッチングにより外形加工されたリードフレーム130Aを用いたものであり、端子柱部133部分や他の部分の厚さより薄肉に形成されたインナーリード部131をもつ、ダムバー136は樹脂封止する際のダムとなる。尚、図9(a)に示すような形状をした、エッチングにより外形加工されたリードフレーム130Aを、本実施例においては用いたが、インナーリード部131と端子柱部133以外は最終的に不要なものであるから、特にこの形状に限定はされない。インナーリード部131の厚さは40 μ m、インナーリード部131以外の厚さは0.15mmでリードフレーム素材の板厚のままである。インナーリード部131以外の板厚は0.15mmに限らず更に厚い0.125mm~0.50mm程度でも良い。また、インナーリードピッチは0.12mmと狭いピッチで、半導体装置の多素子化に対応できるものとしている。インナーリード部131の第2面131Aは平坦状でワイヤボンディングし易い形状となっており、図1(b)に示すように、第3面131Ac-第4面131Adはインナーリード側へ凹んだ形状をしており、第2面131Ab(ワイヤボンディング面)を狭くしても強度的に強いものとしている。

(0011) 本実施例においては、インナーリード131の長さが短かく、インナーリード131部にヨレが発生しづらい。尚、図9(a)に示すような、インナーリード先端がそれぞれ分離された形状のリードフレームをエッチング加工にして作成し、これに接合する方向により半導体素子を搭載して樹脂封止している。インナーリード131が長く、インナーリード131部にヨレを生じ易い場合には、図9(a)に示す形状にエッチング加工することは出来ないため、図9(c)-(e)に示すようにインナーリード先端部を連結部131Bにて固定した状態にエッチング加工した後、インナーリード131部を溝状テープ160で固定し(図9(c))

(f))、次いでプレスにて、半導体装置作製の際には不要の連結部131Bを除去し、この状態で半導体素子を搭載して半導体装置を作製する。(図9(e))

(0012) 次に本実施例1の樹脂封止型半導体装置の製造方法を図8に基づいて簡単に説明する。先ず、前述するエッチング加工にて外形加工された、図9(a)に示すリードフレーム130Aを、インナーリード131元端の第2面131Abが図8で上になるようにして用いた。(図8(a))

次いで半導体素子110の電極部111側の面を図3で上にして、半導体素子をダイパッド135上に搭載、図

定した。(図8(b))

半導体素子110をダイパッド135に固定した後、半導体素子110の電極部111とインナーリード部131元端の第2面とをワイヤ120にてボンディングを施した。(図8(c))

次いで、通常の封止用樹脂140で樹脂封止を行った後、不要なリードフレーム130の樹脂140面から突出している部分をプレスにて切断し、端子柱133を形成するとともに端子柱133の側面133Bを形成した。(図8(d))

図9に示すリードフレーム130Aのダムバー136、フレーム部137等を除去した。この後、リードフレームの端子柱の外側の面に半導体装置の端子部133Aを作製して半導体装置を作製した。(図8(e))

次いで、保護層180を接着材190を介して端子柱の側面を覆うように、外周全体に設けた。(図8(f))尚、保護層180は、半導体装置の薄肉のみで、端子柱の側面が露出することにより封止用樹脂と端子柱の隙間から水分が入り半導体装置にクラックが入り破壊してしまうことがないようにするみに設けたものであるが、必ずしも必要としない。また、樹脂による封止は所定の型を用いて行うが、半導体素子110のサイズで、且つ、リードフレームの端子柱の外側の面が若干樹脂から外部へ突出した状態で封止した。

(0013) 本発明の半導体装置に用いられるリードフレームの製造方法を以下、図にそって説明する。図11は、本実施例1の新規封止型半導体装置に用いられるリードフレームの製造方法を説明するための、インナーリード元端部を含む要部における工程断面図であり、こ

こで作製されるリードフレームを示す平面図である図9(a)のD1-D2部の断面部における製造工程図である。図11中、1110はリードフレーム素材、1120A、1120Bはレジストパターン、1130は第一の開口部、1140は第二の開口部、1150は第一の凹部、1160は第二の凹部、1170は平坦状面、1180はエッチング抵抗層を示す。先ず、42%ニッケル-鉄合金からなり、厚みが0.15mmのリードフレ

ーム素材1110の両面に、塩化クロム酸カリウムを感光剤とした水溶性カゼインレジストを塗布した後、所定のパターン版を用いて、所定形状の第一の開口部1130、第二の開口部1140をもつレジストパターン1120A、1120Bを形成した。(図11(a))

第一の開口部1130は、後のエッチング加工においてリードフレーム素材1110をこの開口部からベタ状にリードフレーム素材よりも薄肉に露出させるためのもので、レジストの第二の開口部1140は、インナーリード元端部の形状を形成するためのものである。第一の開口部1130は、少なくともリードフレーム1110のインナーリード先端部形成領域を含むが、後工程におい

て、テーピングの工程や、リードフレームを固定するクランプ工程で、ベタ状に露出され部分的に薄くなった部分との段差が顕著になる場合があるので、エッチングを行うエリアはインナーリード元端部の露出加工部分だけにせず大きめに与える必要がある。次いで、温度 57°C 、比重 4.8 のホーメの塩化第二鉄溶液を用いて、スプレー圧 $2.5\text{kg}/\text{cm}^2$ にて、レジストパターンが形成されたリードフレーム素材 1110 の両面をエッチングし、ベタ状（平坦状）に露出された第一の凹部 1150 の深さがリードフレーム素材の約 $2/3$ 程度に達した時点でエッチングを止めた。（図 $11(b)$ ）

上記第1回目のエッチングにおいては、リードフレーム素材 1110 の両面から同時にエッチングを行ったが、必ずしも両面から同時にエッチングする必要はない。本実施例のように、第1回目のエッチングにおいてリードフレーム素材 1110 の両面から同時にエッチングする理由は、両面からエッチングすることにより、後述する第2回目のエッチング時間を短縮するため、レジストパターン 9208 側からのみの片面エッチングの場合と比べ、第1回目エッチングと第2回目エッチングのトータル時間が短縮される。次いで、第一の開口部 1130 側の露出された第一の凹部 1150 にエッチング抵抗層 1180 としての耐エッチング性のあるホットメルト型ワックス（例えば、エック社製のワックス、型番MR-WB6）を、ダイコータを用いて、塗布し、ベタ状（平坦状）に露出された第一の凹部 1150 に埋め込んだ。レジストパターン $1120A$ 上も該エッチング抵抗層 1180 に塗布された状態とした。（図 $11(c)$ ）

エッチング抵抗層 1180 を、レジストパターン $1120A$ 上全面に塗布する必要はないが、第一の凹部 1150 を含む一部にのみ塗布することは好ましく、図 $11(c)$ に示すように、第一の凹部 1150 とともに、第一の開口部 1130 側全面にエッチング抵抗層 1180 を塗布した。本実施例で使用したエッチング抵抗層 1180 は、アルカリ溶解型のワックスであるが、基本的にエッチング液に耐性があり、エッチング時にある程度の柔軟性のあるものが、好ましく、特に、上記ワックスに限定されず、U.V.硬化型のものでもよい。このようにエッチング抵抗層 1180 をインナーリード元端部の形状を形成するためのパターンが形成された面側の露出された第一の凹部 1150 に埋め込むことにより、後述するエッチング時に第一の凹部 1150 が露出されて大きくなってしまうようにしているとともに、高抵抗なエッチング加工に対しての機械的な強度補強をしており、スプレー圧を高く（ $2.5\text{kg}/\text{cm}^2$ 以上）とすることができ、これによりエッチングが深さ方向に進行し易くなる。この後、第2回目のエッチングを行い、ベタ状（平坦状）に露出された第二の凹部 1160 形成面側からリードフレーム素材 1110 をエッチングし、貫通させ、

インナーリード元端部 $131A$ を形成した。（図 $11(d)$ ）

第1回目のエッチング加工にて作製された、リードフレーム面に平行なエッチング形成面は平坦であるが、この面を覆む2面はインナーリード側にへこんだ凹状である。次いで、洗浄、エッチング抵抗層 980 の除去、レジスト膜（レジストパターン $1120A$ 、 $1120B$ ）の除去を行い、インナーリード元端部 $131A$ が露出加工された図 $9(a)$ に示すリードフレーム $130A$ を得た。エッチング抵抗層 1180 とレジスト膜（レジストパターン $1120A$ 、 $1120B$ ）の除去は水酸化ナトリウム水溶液により溶解除去した。

（図 $11(d)$ ）上記、図 11 に示すリードフレームの製造方法には、本実施例に用いられる、インナーリード元端部を両側に形成したリードフレームをエッチング加工により製造する方法で、特に、図 1 に示す、インナーリード元端部の第1面 $131Aa$ を両側部以外の他の部分と同一面に、第2面 $131Ab$ と対向させて形成し、且つ、第3面 $131Ac$ 、第4面 $131Ad$ をインナーリードの内側に向かって凹んだ形状にするエッチング加工方法である。後述する実施例3の半導体装置のようにバンパを用いて半導体素子をインナーリードの第2面 $131Ab$ に搭載し、インナーリードと電気的に接続する場合に

は、第2面 $131Ab$ をインナーリード側に凹んだ形状に形成した方がバンパ接続の際の許容度が大きくなる。図 12 に示すエッチング加工方法が採られる。図 12 に示すエッチング加工方法は、第1回目のエッチング工程までは、図 11 に示す方法と同じであるが、エッチング抵抗層 1180 を第二の凹部 1160 側に埋め込んだ後、第一の凹部 1150 側から第2回目のエッチングを行い、貫通させる点で異なっている。即ち、第1回目のエッチングにて、第二開口部 1140 からのエッチングを元分に行っておく。図 12 に示すエッチング加工方法によって得られたリードフレームのインナーリード元端部の断面形状は、図 $6(b)$ に示すように、第2面 $131Ab$ がインナーリード側にへこんだ凹状になる。

（図 $11(e)$ ）尚、上記図 11 、図 12 に示すエッチング加工方法のように、エッチングを2段階にわけて行うエッチング加工方法を、一般には2段エッチング加工方法といっており、露出加工に有利な加工方法である。本発明に用いた図 $9(a)$ に示す、リードフレーム $130A$ の製造においては、2段エッチング加工方法、パターンの形状を工元することにより部分的にリードフレーム素材を薄くしながら外形加工をする方法とが併行して採られており、リードフレーム素材を薄くした部分においては、特に、短縮加工ができるようにしている。図 11 、図 12 に示す、上記の方法においては、インナーリード元端部 $131A$ の露出加工は、第二の凹部 1160 の形状と、最終的に得られるインナーリード元端部の厚さに左右されるもので、例えば、板厚を $50\mu\text{m}$

まで薄くすると、図11(e)に示す、平坦幅W1を1.00mmとして、インナーリード先端部ピッチpが0.15mmまで微細加工可能となる。板厚tを30μm程度まで薄くし、平坦幅W1を70μm程度とすると、インナーリード先端部ピッチpが0.12mm程度まで微細加工ができるが、板厚t、平坦幅W1のとり方次第ではインナーリード先端部ピッチpは更に狭いピッチまで作製が可能となる。ちなみに、インナーリード先端部ピッチpを0.08mm、板厚25μmで平坦幅40μm程度が確保できる。

(0016) このようにエッチング加工にてリードフレームを作製する際、インナーリードの長さが短い場合等、製造工程でインナーリードのヨレが発生しにくい場合には、直接図9(a)に示す形状のリードフレームエッチング加工にて得るが、インナーリードの長さが長く、インナーリードにヨレが発生し易い場合には、図9(c)(イ)に示ように、インナーリード先端部から運送部131Bを設け、インナーリード先端部両端に凸部131Aを設けた形状にして形成したものを得て、半導体装置作製には不必要な運送部131Bをプレス等により切断除去して図9(a)に示す形状を得る。尚、前述のように、図9(c)(イ)に示すものを切断し、図9(a)に示す形状にする際には、図9(c)(ロ)に示すように、通孔部131Cを設けるための溝部テープ160(ポリイミドテープ)を使用する。図9(c)(ロ)の状態で、プレス等により運送部131Bを切断除去するが、半導体素子は、テープをつけた状態のままで、リードフレームに搭載され、そのまま樹脂封止される。尚、図9(c)(イ)は切断部分を示すものである。

(0017) 本実施例1の半導体装置に用いられたリードフレームのインナーリード部131の断面形状は、図13(イ)(a)に示すようになっており、エッチング平坦面131Aの幅W1はほぼ平坦で反対側の面の幅W2より若干大きくなっており、W1、W2(約100μm)ともこの部分の板厚方向中部の幅Wよりも大きくなっている。このようにインナーリード先端部の両面は広くなった断面形状であるため、どちらの面でも半導体素子(図示せず)とインナーリード先端部131Aとワイヤ270A、270Bによる接続(ボンディング)がし易いものとなっているが、本実施例の場合にはエッチング面側(図13(ロ)(a))をボンディング面としており、図9(c)(イ)にエッチング面側による平坦面、131Aはリードフレーム素材面、121A、121Bはのりきり面である。エッチング平坦面がアラビの無い面であるため、図13(ロ)(a)の場合は、特に接続(ボンディング)適性が優れる。図13(ハ)は図14に示す加工方法にて作製されたリードフレームのインナーリード先端部131Bと半導体素子(図示せず)との接続(ボンディング)を示すものであるが、この場合もインナーリード先端部131B

の両面は平坦ではあるが、この部分の板厚方向の幅に比べ大きくとれない。また両面ともリードフレーム素材面であるため、接続(ボンディング)適性は本実施例のエッチング平坦面より劣る。図13(ニ)はプレス(コイニング)によりインナーリード先端部を薄肉化した後にエッチング加工によりインナーリード先端部131C、131Dを加工したものの、半導体素子(図示せず)との接続(ボンディング)を示したものであるが、この場合はプレス面側が図に示すように平坦になっていないため、どちらの面を用いて接続(ボンディング)しても、図11(ニ)の(a)、(b)に示すように接続(ボンディング)の際に安定性が悪く品質的にも問題となる場合が多い。尚、131Aはコイニング面である。

(0018) 次に実施例1の樹脂封止型半導体装置の実形態を挙げる。図3(a)~図3(e)は、それぞれ、実施例1の樹脂封止型半導体装置の実形態の断面図である。図3(a)に示す実形態の半導体装置は、実施例1の半導体装置とは、ダイパッド135の位置が異なるもので、ダイパッド部135が外部に露出している。ダイパッド部135が外部に露出していることにより、実施例1に比べ、熱の発散性が優れている。図3(b)に示す実形態の半導体装置も、ダイパッド部135が外部に露出させているものであり、実施例1に比べ、熱の発散性が優れている。実施例1や図3(a)に示す実形態とは、半導体素子110の向きが異なり、ワイヤボンディング面をリードフレームの第1面に設けている。図3(c)、図3(d)、図3(e)に示す実形態は、それぞれ実施例1、図3(a)に示す実形態、図3(b)に示す実形態において、半導体素子の半田からなる端子部を設けず、端子柱の面を直接端子部として用いているものであり、製造工程を簡略した構造となっている。

(0019) 次に、実施例2の樹脂封止型半導体装置を挙げる。図4(a)は実施例2の樹脂封止型半導体装置の断面図であり、図4(b)は図4(a)のA3-A4におけるインナーリード部の断面図で、図4(c)は図4(a)のB3-B4における端子柱部の断面図である。尚、実施例2の半導体装置の外観は実施例1とほぼ同じとなる。図は省略した。図3中、270は半導体装置、210は半導体素子、211は電極部(パッド)、220はワイヤ、230はリードフレーム、231はインナーリード、231Aaは第1面、231Abは第2面、231Acは第3面、231Adは第4面、233は端子柱部、233Aは端子部、233Bは側面、233Sは上面、240は封止用樹脂、270は補強固定用テープである。本実施例2の半導体装置においては、リードフレーム230はダイパッドを持たないもので、半導体素子210はインナーリード231とともに補強固定用テープ270により固定されており、半導体素子210は、半導体素子の電極部(パッド)211

例はワイヤ 2 2 0 により、インナーリード 2 3 1 の第 2 面 2 3 1 A b と接続されている。本実施例 2 の場合も、実施例 1 場合と同様に、半導体装置 2 0 0 と外部回路との電気的な接続は、端子柱 2 3 3 の先端部に設けられた半球状の半田からなる端子部 2 3 3 A を介してプリント基板等へ接続されることにより行われる。

(0020) また、本実施例 2 の半導体装置は、図 10 (a)、10 (b) に示す、ダイパッドを持たない、エッチングにより外形加工されたリードフレーム 2 3 0 A を用いたもので、その製造方法は実施例 1 とほぼ同じ工程であるが、異なる点は、実施例 1 の場合には半導体素子をインナーリードに固定した状態でワイヤボンディングを行い、樹脂封止しているのに対し、本実施例 2 の場合には、半導体素子 2 1 0 をインナーリード 2 3 1 とともに樹脂固定用テープ 2 7 0 上に固定した状態で、ワイヤボンディング工程を行い、樹脂封止している点である。尚、樹脂封止後のプレスによる不要部分の切断、端子部の形成は、実施例 1 と同様である。図 10 (a) に示すリードフレーム 2 3 0 A を得るには、図 9 (a) に示すリードフレーム 1 3 0 A を得た場合と同様にし得る。即ち、図 10 (c) (d) (e) に示すエッチング加工された後のものを切断し、図 10 (a) に示す形状にする。この際、図 10 (c) (d) (e) に示すように、通常、高抵抗のため高抵抗テープ 2 6 0 (ポリイミドテープ) を使用する。

(0021) 図 5 (a) ~ 図 5 (c) は、実施例 2 の半導体装置の異なる半導体装置の断面図である。図 5 (a) に示す異なる半導体装置は、半導体素子の向きが図 5 (a) で、高圧面を有する面を下側にしている点、およびワイヤボンディング面をリードフレームの第 1 面に設けておき、実施例 1 の半導体装置と異なる。図 5 (b)、図 5 (c) に示す異なる半導体装置は、それぞれ実施例 2 の半導体装置、図 5 (a) に示す異なる半導体装置において、半球状の半田からなる端子部を設けず、端子柱の面を直接端子部として用いているものである。保護層がなく、端子柱 2 3 3 の側面 2 3 3 B を露出させているため、テスト等での信号のチェックがし易い構造となっている。

(0022) 次に、実施例 3 の樹脂封止型半導体装置を述べる。図 6 (a) は実施例 3 の樹脂封止型半導体装置の断面図であり、図 6 (a) の A 5 - A 6 におけるインナーリード部の断面図で、図 6 (c) は図 6 (a) の B 5 - B 6 における端子柱部の断面図である。尚、実施例 3 の半導体装置の外形も実施例 1 とほぼ同じとなるが、図は省略した。図 6 中、3 0 0 は半導体装置、3 1 0 は半導体素子、3 1 2 はパンプ、3 3 0 はリードフレーム、3 3 1 はインナーリード、3 3 1 A a は第 1 面、3 3 1 A b は第 2 面、3 3 1 A c は第 3 面、3 3 1 A d は第 4 面、3 3 3 は端子柱部、3 3 3 A は端子部、3 3 3 B は側面、3 3 3 S は上面、3 4 0 は

封止用樹脂、3 5 0 は高抵抗用テープである。本実施例 3 の半導体装置においては、半導体素子 3 1 0 は、パンプ 3 1 1 によりインナーリード 3 3 1 の第 2 面 3 3 1 A b に固定され、電気的にインナーリード 3 3 1 と接続している。リードフレーム 3 3 0 は、図 10 (a)、図 10 (b) に示す外形のもので、図 11 に示すエッチング加工により作製されたものを用いている。図 13 (イ)

(b) に示すように、インナーリード 3 3 1 の側面の幅 W 1 A、W 2 A (約 100 μ m) とその部分の幅 W 3 方向中部の幅 W A よりも大きくなっており、且つ、インナーリード 3 3 1 の第 2 面 3 3 1 A b はインナーリードの内側に向かって凹んだ形状で、第 1 面 3 3 1 A a が平坦であることより、インナーリードの曲面化に対応できるとともに、インナーリード 3 3 1 の第 2 面 3 3 1 A b において、半導体素子とパンプにて電気的に接続する際には、図 13 (c) (b) のように接続がし易いものとしている。また、本実施例 3 の場合も、実施例 1 や実施例 2 の場合と同様に、半導体装置 3 0 0 と外部回路との電気的な接続は、端子柱 3 3 3 の先端部に設けられた半球状の半田からなる端子部 3 3 3 A を介してプリント基板等へ接続されることにより行われる。

(0023) 実施例 3 の半導体装置は、実施例 1 の半導体装置の場合とは異なり、図 12 に示すエッチングにより外形加工されたリードフレームを用いたものであるが、半導体装置自体の作製方法はほぼ同じ工程である。異なる点は、実施例 1 の半導体装置の場合には半導体素子をインナーリードに固定した状態でワイヤボンディングを行い、樹脂封止しているのに対し、本実施例 3 の半導体装置の場合には、半導体素子 3 1 0 をインナーリード 3 3 1 にパンプを介して固定して電気的に接続した状態で樹脂封止している点である。尚、樹脂封止後のプレスによる不要部分の切断、端子部の形成は、実施例 1 の半導体装置の場合と同じである。

(0024) 図 6 (d) は、実施例 3 の半導体装置の異なる半導体装置の断面図である。図 6 (d) に示す異なる半導体装置は、実施例 3 の半導体装置において、半球状の半田からなる端子部を設けず、端子柱の面を直接端子部として用いているものである。保護層を無くして端子柱 3 3 3 の側面 3 3 3 B を側面に露出させているため、テスト等での信号のチェックがし易い構造となっている。更にこの端子柱 3 3 3 の側面 3 3 3 B を研磨せると上部からチェックし易い構造とすることもできる。

(0025) 次に、実施例 4 の樹脂封止型半導体装置を述べる。図 7 (a) は実施例 4 の樹脂封止型半導体装置の断面図であり、図 7 (b) は図 7 (a) の A 7 - A 8 におけるインナーリード部の断面図で、図 6 (c) は図 6 (a) の B 7 - B 8 における端子柱部の断面図である。尚、実施例 4 の半導体装置の外形も実施例 1 とほぼ同じとなるが、図は省略した。図 7 中、4 0 0 は半導体装置、4 1 0 は半導体素子、4 1 1 はパッド、4 3 0 は

リードフレーム、431はインナーリード、431Aaは第1面、431Abは第2面、431Acは第3面、431Adは第4面、433は端子部、433Aは端子部、433Bは側面、433Sは上面、440は封止用樹脂、470は絶縁性接着材である。本実施例の場合、半導体素子410のパッド311側の面をインナーリード331の第2面431Abに絶縁性接着材470を介して固定し、パッド411とインナーリード431の第1面431Aaとをワイヤ420にて電気的に接続したものである。使用するリードフレームは実施例3と同一、図10(a)、図10(b)に示す外形形状のものを使用している。また、本実施例4の場合も、実施例1や実施例2の場合と同様に、半導体装置400と外部回路との電気的な接続は、端子部333先端部に設けられた半田状の半田からなる端子部433Aを介してプリント基板等へ搭載されることにより行われる。

(0026) 図7(d)は、実施例4の半導体装置の変形半導体装置の断面図である。図7(d)に示す変形半導体装置は、実施例4の半導体装置において、半田状の半田からなる端子部を設けず、端子部の面を直接端子部として用いているものである。保護層を無くして端子部433の側面433Bを側面に露出している。テスト等での信号のチェックがし易い構造となっている。

(0027)

(発明の効果) 本発明の樹脂封止型半導体装置は、上記のように、リードフレームを用いた樹脂封止型半導体装置において、多端子化に対応でき、且つ、従来の図13(b)に示すアウターリードを持つリードフレームを用いた場合のようにダムバーのカット工程や、ダムバーの曲げ工程を必要としない。即ち、アウターリードのスキューの問題や、平坦性(コ-planarity)の問題を克服でき、無とできる半導体装置の提供を可能としている。また、QFPやBGAに比べるとパッケージ内部の配線長が短くなるため、寄生容量が小さくなり伝送遅延時間を短くすることを可能にしている。

(図面の簡単な説明)

(図1) 実施例1の樹脂封止型半導体装置の断面図

(図2) 実施例1の樹脂封止型半導体装置の封止図及び下面図

(図3) 実施例1の樹脂封止型半導体装置の変形例の図

(図4) 実施例2の樹脂封止型半導体装置の断面図

(図5) 実施例2の樹脂封止型半導体装置の変形例の図

(図6) 実施例3の樹脂封止型半導体装置の断面図

(図7) 実施例4の樹脂封止型半導体装置の断面図

(図8) 実施例1の樹脂封止型半導体装置の作製工程を説明するための図

(図9) 本発明の樹脂封止型半導体装置に用いられるリードフレームの図

(図10) 本発明の樹脂封止型半導体装置に用いられるリードフレームの図

(図11) 本発明の樹脂封止型半導体装置に用いられるリードフレームの作製方法を説明するための図

(図12) 本発明の樹脂封止型半導体装置に用いられるリードフレームの作製方法を説明するための図

(図13) インナーリード元端部でのワイボンディングの接続状態を示す図

(図14) 従来のリードフレームのエッチング装置工程を説明するための図

(図15) 樹脂封止型半導体装置及び樹脂リードフレームの図

(符号の説明)

100、200、300、400

樹脂封止型半導体装置

110、210、310、410

半導体素子

111、211、411

仮(パッド)

312

ンブ

120、220、420

ワイヤ

120A、120B

ワイヤ

L2.1A、L2.1B

つき部

130、230、330、430

リードフレーム

131、231、331、431

インナーリード

131Aa、231Aa、331Aa、431Aa

第1面

131Ab、231Ab、331Ab、431Ab

第2面

131Ac、231Ac、331Ac、431Ac

第3面

131Ad、231Ad、331Ad、431Ad

第4面

131B

端子部

133、233、333、433

端子

133A、233A、333A、433A

端子部

133B、233B、333B、433B

側面

133S、233S、333S、433S

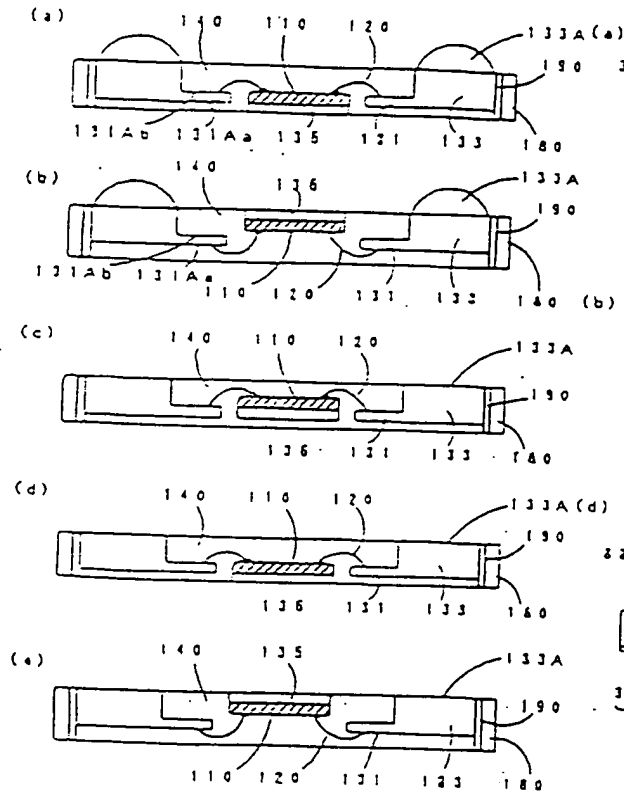
上面

140、240、340、440

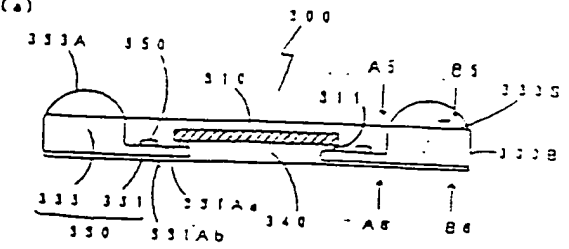
封止用樹脂

品名	数量	単位	備考
190			
板材			
260			
使用テープ			
270			
使用テープ			
350			
使用テープ			
470			
使用テープ			
1110			
1120A, 1120B			
1130			
1140			
1150			
1160			
1170			
1180			
1320B, 1320C, 1320D			
1321B, 1321C, 1321D			
1331B, 1331C, 1331D			
1331Aa			

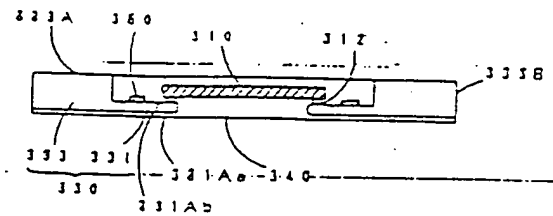
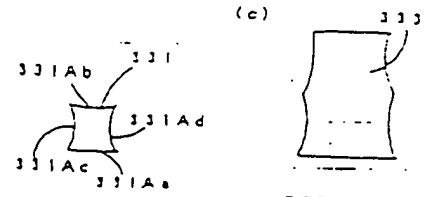
(図 3)



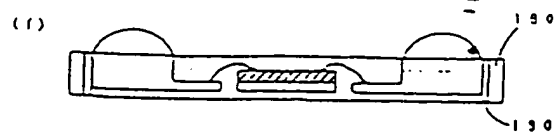
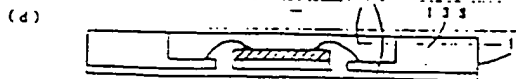
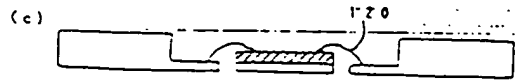
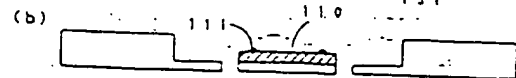
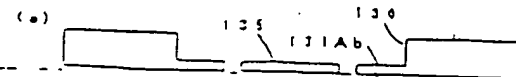
(図 6)



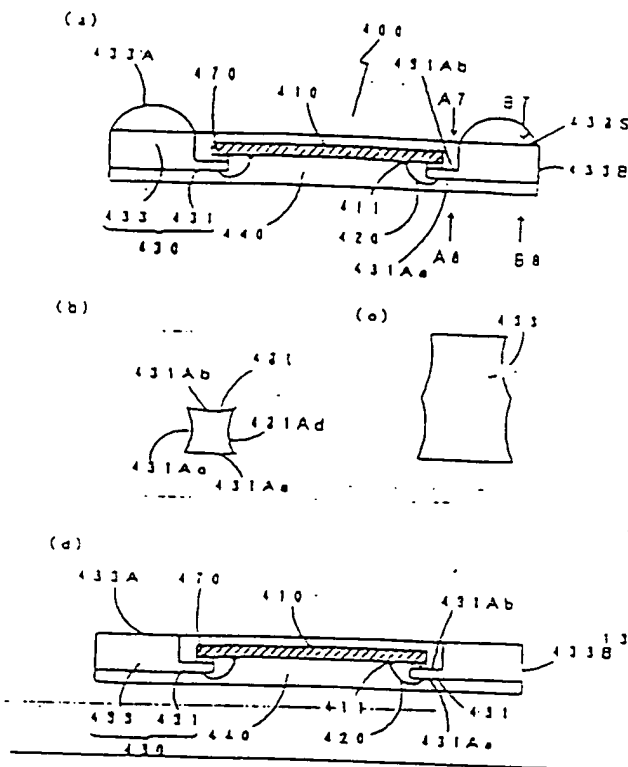
(c)



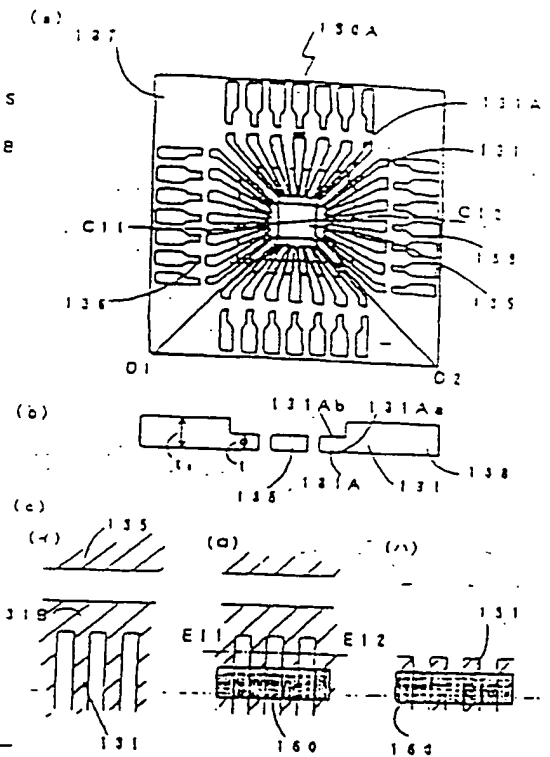
(図 9)



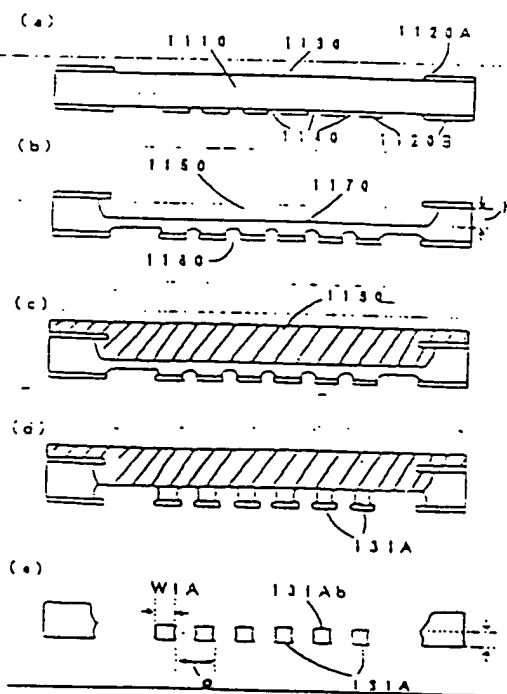
(7)



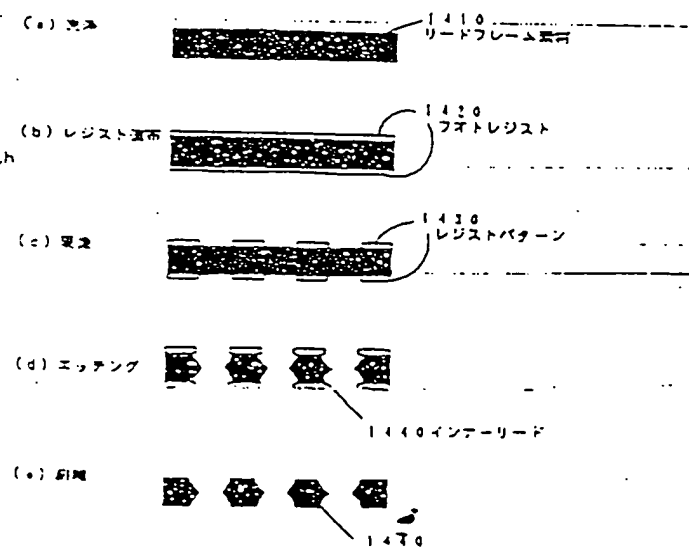
(9)



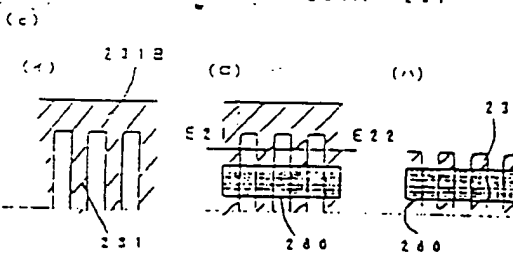
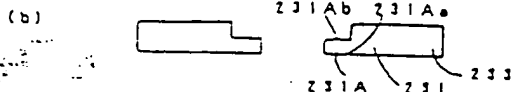
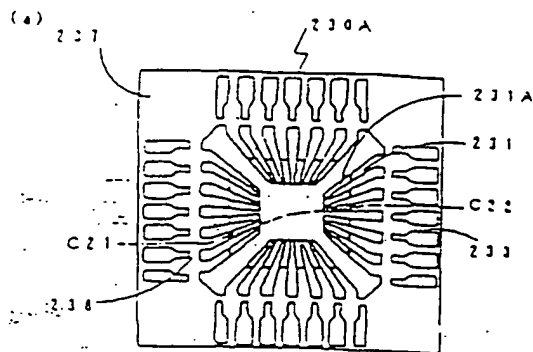
• (☒ 1 1)



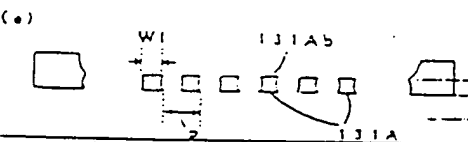
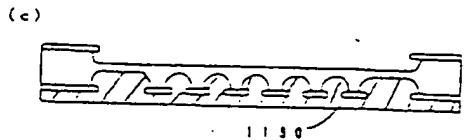
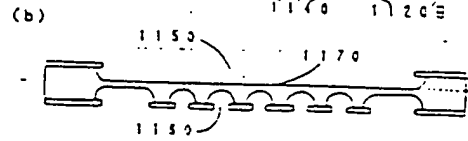
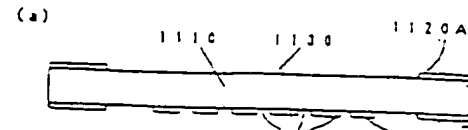
(१४)



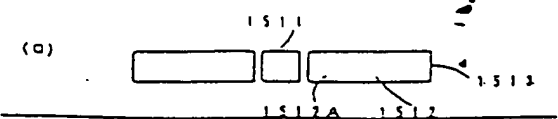
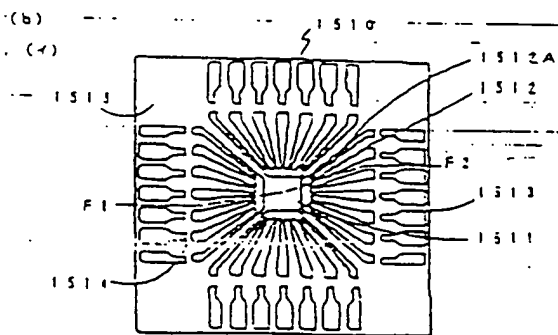
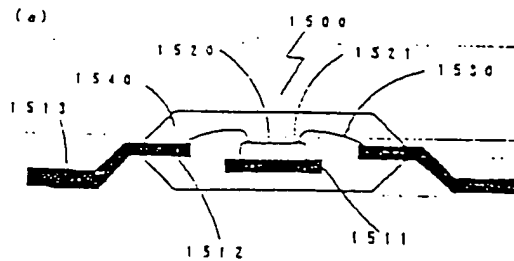
(10)



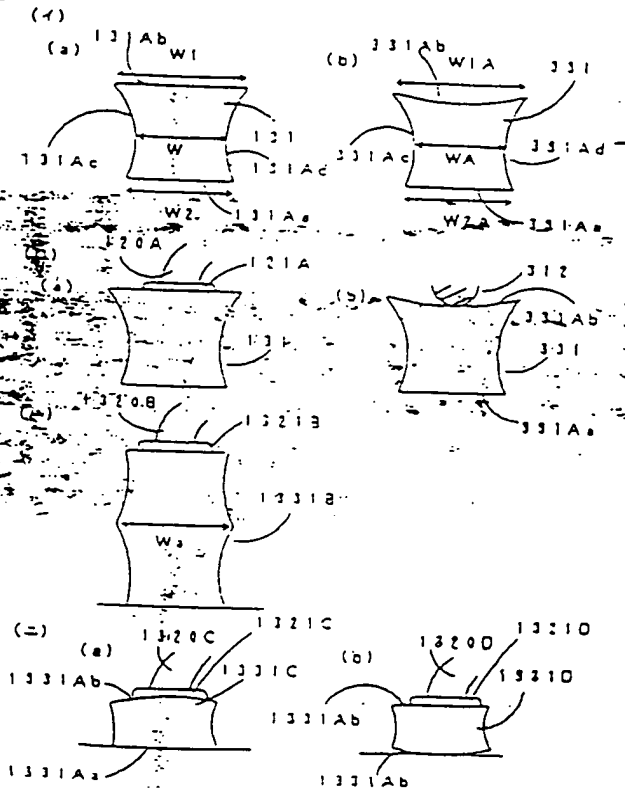
(12)



(15)



(213)



Japanese Patent Laid-Open Publication No. Heisei 9-8205

[TITLE OF THE INVENTION]

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

[CLAIMS]

1. A resin-encapsulated semiconductor device using
a lead frame which is shaped in accordance with a two-step
etching process to a body wherein a thickness of inner
10 leads is less than that of the lead frame blank,
comprising:

inner leads having the thickness less than that of the
lead frame blank; and

terminal columns integrally connected to the inner
15 leads and having the same thickness with the lead frame
blank, the terminal columns possessing a column-shaped
configuration which is adapted to be electrically connected
to an external circuit, the terminal columns being disposed
outside of the inner leads in a manner such that they are
20 coupled to the inner leads in a direction orthogonal to the
thickness-wise direction thereof, the terminal columns
having terminal portions arranged on top ends thereof, the
terminal portions being made of solders, etc. and exposed
to the outside beyond a resin encapsulate, each inner lead
25 possessing a rectangular cross-section and having four

surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

2. A resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank, comprising:

inner leads having the thickness less than that of the lead frame blank; and

terminal columns integrally connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, portions of top ends of the terminal columns being exposed to the outside beyond a resin encapsulate, each inner lead possessing a rectangular

cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

10 3. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein a semiconductor chip is received inward of the inner leads, and electrodes of the semiconductor chip are electrically connected to the inner leads through wires, respectively.

15 4. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad.

20 5. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape.

25 6. The resin-encapsulated semiconductor device as

claimed in claims 1 or 2, wherein the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively.

7. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and resolving problems which are caused in association with position shift and coplanarity of an outer lead.

[DESCRIPTION OF THE PRIOR ART]

FIG. 15(a) shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1511 having a

semiconductor chip 1520 mounted thereon, outer leads 1513
to be electrically connected to the associated circuits,
inner leads 1512 formed integrally with the outer leads
1513, bonding wires 1530 for electrically connecting the
5 tips of the inner leads 1512 to the bonding pad 1521 of the
semiconductor chip 1520, and a resin 1540 encapsulating the
semiconductor chip 1520 to protect the semiconductor chip
1520 from external stresses and contaminants. This resin-
encapsulated semiconductor device, after mounting the
10 semiconductor chip 1520 on the bonding pad 1521, is
manufactured by encapsulating the semiconductor chip 1520
with the resin. In this resin-encapsulated semiconductor
device, the number of the inner leads 1512 is equal to that
of the bonding pads 1521 of the semiconductor chip 1520.
15 And, FIG. 15(b) shows the configuration of a monolayer lead
frame used as an assembly member of the resin-encapsulated
semiconductor device shown in FIG. 15a. Such a lead frame
includes the bonding pad 1511 for mounting the
semiconductor chip, the inner leads 1512 to be electrically
20 connected to the semiconductor chip, the outer lead 1513
which is integral with the inner leads 1512 and is to be
electrically connected to the associated circuits. This
also includes dam bars 1514 serving as a dam when
encapsulating the semiconductor chip with the resin, and a
25 frame 1515 serving to support the entire lead frame 1510.

Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy (a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process. FIG. 15(b)(□) is a cross-sectional view taken along the line F1-F2 of FIG. 15(b)(イ).

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame (plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package (QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of

pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

5 The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to FIG. 14. First, a copper alloy or 42 alloy thin sheet of a thickness on the order of 0.25 mm (a lead frame blank 1410) is cleaned perfectly (FIG. 14(a)). Then, a photoresist, such as a water-soluble casein photoresist
10 containing potassium dichromate as a sensitive agent, is spread in photoresist films 1420 over the major surfaces of the thin film as shown in FIG. 14(b).

Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a
15 high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1430 as shown in FIG. 14(c). Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant
20 containing ferric chloride as a principal component is sprayed against the thin sheet 1010 to etch through portions of the thin sheet 1410 not coated with the patterned photoresist films 1020 so that inner leads of predetermined sizes and shapes are formed as shown in FIG.
25 14(d).

Then, the patterned resist films are removed, the patterned thin sheet 1410 is washed to complete a lead frame having the inner leads of desired shapes as shown in FIG. 14(e). Predetermined areas of the lead frame thus
5 formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both
10 the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in FIG. 14 during the etching process, it is said, when the lead frame
15 has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about
20 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80 μ m for successful wire bonding. When the etching process as illustrated in FIG. 14 is employed in fabricating a lead frame, a thin sheet of a small thickness in the range of 0.125 to 0.15 mm
25 is used and inner leads are formed by etching so that the

fine tips thereof are arranged at a pitch of about 0.165 mm.

However, recent miniature resin-encapsulated semiconductor package requires inner leads arranged at pitches in the range of 0.13 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the lead frame by half etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions corresponding to the inner leads by pressing; for example, the smoothness of the surface of the plated areas

is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

On the other hand, because a pitch among inner leads is made narrow as the number of terminals is increased, it is considered important to know whether a problem is caused or not in association with position shift or coplanarity of an outer lead when implementing a chip mounting process. Accordingly, the present invention has been made in an effort to solve the problems occurring in the related art, and an object of the present invention is to provide a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals

and resolving problems which are caused in association with position shift and coplanarity of an outer lead.

[MEANS FOR SOLVING THE SUBJECT MATTERS]

5 According to one aspect of the present invention,
there is provided a resin-encapsulated semiconductor device
using a lead frame which is shaped in accordance with a
two-step etching process to a body wherein a thickness of
inner leads is less than that of the lead frame blank,
10 comprising: inner leads having the thickness less than that
of the lead frame blank; and terminal columns integrally
connected to the inner leads and having the same thickness
with the lead frame blank, the terminal columns possessing
a column-shaped configuration which is adapted to be
15 electrically connected to an external circuit, the terminal
columns being disposed outside of the inner leads in a
manner such that they are coupled to the inner leads in a
direction orthogonal to the thickness-wise direction
thereof, the terminal columns having terminal portions
20 arranged on top ends thereof, the terminal portions being
made of solders, etc. and exposed to the outside beyond a
resin encapsulate, outer surfaces of the terminal columns
also being exposed to the outside beyond the resin
encapsulate, each inner lead possessing a rectangular
25 cross-section and having four surfaces including a first

surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to
5 the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention, there is provided a resin-encapsulated semiconductor device
10 using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank, comprising: inner leads having the thickness less than that of the lead frame blank; and terminal columns integrally
15 connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a
20 manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, portions of top ends of the terminal columns being exposed to the outside beyond a resin encapsulate, outer surfaces of the terminal columns also being exposed to the
25 outside beyond the resin encapsulate, each inner lead

possessing a rectangular cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention, a semiconductor chip is received inward of the inner leads, and electrodes (pads) of the semiconductor chip are electrically connected to the inner leads through wires, respectively. According to another aspect of the present invention, the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad. According to another aspect of the present invention, the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape. According to still another aspect of the present invention, the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively. According to yet still

another aspect of the present invention, the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads. In the above descriptions, in the case that the terminal columns have terminal portions which are arranged on top ends of the terminal columns, with the terminal portions made of solders, etc. and exposed to the outside beyond the resin encapsulate, while it is the norm that the terminal portions comprising the solders, etc. are exposed to the outside beyond the resin encapsulate, it is not necessarily required for the terminal portions to be projected beyond the resin encapsulate. Moreover, while it is possible to use the outside surfaces of the terminal columns while they are not encapsulated by the resin encapsulate and they are exposed to the outside, the outside surfaces of the terminal columns which are not encapsulated by the resin encapsulate, can be covered by a protective frame using adhesive, etc.

20 [WORKING FUNCTIONS]

The resin-encapsulated semiconductor device in accordance with the present invention can meet a demand for an increase in the number of terminals. At the same time, in the resin-encapsulated semiconductor device, because the forming process of the outer leads as in the case of using

a mono-layered lead frame shown in FIG. 13(b) is not required, it is possible to provide a semiconductor device in which no problems are caused in association with position shift and coplanarity of the outer leads. More particularly, the use of a multi-pinned lead frame shaped in a manner that inner leads have a thickness less than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Furthermore, by using the lead frame which is fabricated by a two-step etching process as will be described later with reference to FIG. 1, the second surface of each inner lead has coplanarity, and is excellent in wire-bonding property. In addition, since the first surface of the inner lead is also a flat surface and the third and fourth surfaces are depressed toward the inside of the inner lead, the inner leads are stable and coplanarity width upon wire bonding process can be enlarged.

[EMBODIMENTS]

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to the attached drawings. First, a resin-encapsulated semiconductor device in accordance

with a first embodiment of the present invention will be described hereinafter with reference to FIGs. 1 and 2. FIG. 1(a) is a cross-sectional view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention. FIG. 1(b) is a cross-sectional view of an inner lead taken along the line A1-A2 of FIG. 1(a), and FIG. 1(c) is a cross-sectional view of a terminal column taken along the line B1-B2 of FIG. 1(a). Moreover, FIG. 2(a) is a perspective view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention, FIG. 2(b) is a front view of the resin-encapsulated semiconductor device of FIG. 2(a), and FIG. 2(c) is a bottom view of the resin-encapsulated semiconductor device of FIG. 2(a). In FIGs. 1 and 2, a drawing reference numeral 100 represents a resin-encapsulated semiconductor device, 110 a semiconductor chip, 111 electrodes (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A terminal portions, 133B side surfaces, 133S a top surface, 135 a die pad, and 140 a resin encapsulate.

In the resin-encapsulated semiconductor device according to the first embodiment, as shown in FIG. 1(a), the semiconductor chip 110 is placed inward of the inner

leads 131. As can be readily seen from FIG. 1(a), the semiconductor chip 110 is mounted on the die pad 135 at one surface thereof which is opposed to the other surface thereof where the electrodes (pads) 111 of the semiconductor chip 110 are arranged. Each electrode (pad) 111 is electrically connected to the second surface 131Ab of the inner lead 131 through the wire 120. The electrical connection between the resin-encapsulated semiconductor device 100 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 via the terminal portions 133A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 133A located on the top surfaces 133S of the terminal columns 133, respectively. In the resin-encapsulated semiconductor device of the first embodiment of the present invention, it is not necessarily required to provide a protective frame 180, and instead, a structure, as shown in FIG. 1(d), in which no protective frame is used can be adopted.

The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. Therefore, the lead frame 130A which has a contour as shown in FIG. 9(a) and is shaped by an etching process, is used as the lead frame 130. The lead frame 130 has inner leads 131 which are shaped to have a

thickness less than that of the terminal columns 133 or other portions. Dam bars 136 serve as a dam when encapsulating the semiconductor chip 110 with a resin. Moreover, although the lead frame 130A which is processed by etching to have the contour as shown in FIG. 9(a) is used in this embodiment, the lead frame is not limited to such a contour because portions except the inner leads 131 and the terminal columns 133 are not necessary. The inner leads 131 have a thickness of 40 μ m whereas the portions of the lead frame 130 other than the inner leads 131 have a thickness of 0.15 mm which corresponds to the thickness of the lead frame blank. The other portions of the lead frame 130 except the inner leads 131 may not have the thickness of 0.15 mm, but have a thickness of 0.125 mm-0.50 mm which is thinner. The tips of the inner leads 131 have a small pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face 131Ab of the inner lead 131 has a substantially flat profile so as to allow an easy wire bonding thereon. Also, as shown in FIG. 1(b), because the third and fourth faces 131Ac and 131Ad have a concave shape which is depressed toward the inside of the associated inner lead, a high strength can be obtained even though the second face (wire bonding surface) 131Ab is narrowed.

In the present embodiment, since twisting does not

occur in the inner leads 131 irrespective of whether the inner leads 131 is long or not. The inner leads having the contour, as shown in FIG. 9(a), in which the tips of the inner leads 131 are separated one from another, are prepared by the etching process, and the inner leads are resin-encapsulated after mounting the semiconductor chip thereon as will be described later. However, where the inner leads 131 are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate the lead frame by etching to have the contour as shown in FIG. 9(a). Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 131B as shown in FIG. 9(c)(1), the inner leads 131 are fixed with the reinforcing tape 160 as shown in FIG. 9(c)(2). Then, the connecting portions 131B which are not necessary in the fabrication of the resin-encapsulated semiconductor device are removed by a press as shown in FIG. 9(c)(3), and a semiconductor device is then mounted on the lead frame.

Hereinafter, a method for the fabrication of the resin-encapsulated semiconductor device will now be described with reference to FIG. 8. First, the lead frame 130A, as shown in FIG. 9(a), which is shaped by the etching process as will be described later, is prepared such that the second surfaces 131Ab of the inner leads 131 are

directed upward (FIG. 8(a)).

Then, the semiconductor chip 110 is mounted onto the die pad 135 such that the surfaces of the semiconductor chip 110 on which the electrodes 111 are arranged, are
5 directed upward (FIG. 8(b)).

Next, after the semiconductor chip 110 is fastened onto the die pad 135, the electrodes 111 of the semiconductor chip 110 and the second surfaces 131Ab of the inner leads 131 are bonded with each other using wires 120
10 (FIG. 8(c)).

Subsequently, encapsulation is carried out with the conventional resin encapsulate 140. Thereafter, unnecessary portions of the lead frame 130 which are protruded from the resin encapsulate 140 are cut by a press
15 to form terminal columns 133 and also the side surfaces 133B of the terminal columns 133 (FIG. 8(d)).

Then, the dam bars 136, the frame portions 137, etc. of the lead frame 130A as shown in FIG. 9 are removed. Next, the terminal portions 133A each made of the semi-spherical solder are arranged on the outer surface of each
20 terminal column 133 to fabricate a resin-encapsulated semiconductor device (FIG. 8(e)).

Thereafter, the protective frame 180 is arranged by means of adhesive around an entire outer surface of the
25 resultant structure in such a manner that the side surfaces

of the terminal columns 133 are covered thereby (FIG. 8(f)). At this time, the protective frame 180 functions to reinforce the semiconductor device. In other words, the protective frame 180 serves to prevent moisture from
5 leaking into a gap between the resin encapsulate and the terminal columns due to the fact that the side surfaces of the terminal columns are exposed to the outside, whereby a crack is not formed in the semiconductor device and the breakage of the semiconductor device is avoided. However,
10 persons skilled in the art will readily appreciate that it is not necessarily required to provide the protective frame 180. Also, when such an encapsulating process by the resin is carried out using a desired mold, the encapsulating process is implemented in a state wherein the outer side
15 surfaces of the terminal columns of the lead frame are somewhat protruded out of the resin encapsulate.

A method for etching the lead frame of the first embodiment will now be described in conjunction with the attached drawings. FIG. 11 is of cross-sectional views
20 respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment. In particular, the cross-sectional views of FIG. 1 correspond to a cross section taken along the line D1-D2 of FIG. 9(a). In FIG. 11, the reference numeral 1110 denotes a lead frame
25 blank, 1120A and 1120B resist patterns, 1130 first opening,

1140 second openings, 1150 first concave portions, 1160
second concave portions, 1170 flat surfaces, and 1180 an
etch-resistant layer. First, a water-soluble casein resist
using potassium dichromate as a sensitive agent is coated
5 over both surfaces of the lead frame blank 1110 made of a
42% nickel-iron alloy and having a thickness of about 0.15
mm. Using desired pattern plates, the resist films are
patterned to form resist patterns 1120A and 1120B having
first opening 1130 and second openings 1140, respectively
10 (FIG. 11(a)).

The first opening 1130 is adapted to etch the lead
frame blank 1110 to have a flat etched bottom surface to a
thickness smaller than that of the lead frame blank 1110 in
a subsequent process. The second openings 1140 are adapted
15 to form desired shapes of tips of inner leads. Although
the first opening 1130 includes at least an area forming
the tips of the inner leads 1110, a topology generated by
partially thinned portion by etching in a subsequent
process can cause hindrance in a taping process or a
20 clamping process for fixing the lead frame. Thus, an area
to be etched needs to be large without being limited to
fine portions of the tips of the inner leads. Thereafter,
both surfaces of the lead frame blank 1110 formed with the
resist patterns are etched using a 48 Be' ferric chloride
25 solution of a temperature of 57°C at a spray pressure of

2.5 kg/cm². The etching process is terminated at the point of time when first recesses 1150 etched to have a flat etched bottom surface have a depth h corresponding to 2/3 of the thickness of the lead frame blank (FIG. 11(b)).

5 Although both surfaces of the lead frame blank 1110 are simultaneously etched in the primary etching process, it is not necessary to simultaneously etch both surfaces of the lead frame blank 1110. The reason why both surfaces of the lead frame blank 1110 are simultaneously etched, as in
10 this embodiment, is to reduce the etching time taken in a secondary etching process as will be described later. The total time taken for the primary and secondary etching processes is less than that taken in the case of etching of only one surface of the lead frame blank on which the
15 resist pattern 1120B is formed. Subsequently, the surface provided with the first recesses 1150 respectively etched at the first opening 1130 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant
20 layer 1180 so as to fill up the first recesses 1150 and to cover the resist pattern 1120A (FIG. 11(c)).

 It is not necessary to coat the etch-resistant layer 1180 over the entire portion of the surface provided with the resist pattern 1120A. However, it is preferred that
25 the etch-resistant layer 1180 be coated over the entire

portion of the surface formed with the first recesses 1150 and first opening 1130, as shown in FIG. 11(c), because it is difficult to coat the etch-resistant layer 1180 only on the surface portion including the first recesses 1150.

5 Although the etch-resistant layer 1180 wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 1180 is not limited to
10 the above-mentioned wax, but may be a wax of a UV-setting type. Since each first recess 1150 etched by the primary etching process at the surface formed with the pattern adapted to form a desired shape of the inner lead tip is filled up with the etch-resistant layer 1180, it is not
15 further etched in the following secondary etching process.

The etch-resistant layer 1180 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is also
20 possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg/cm² or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in the direction of the thickness of the lead frame blank in the
25 secondary etching process. Then, the lead frame blank is

subjected to a secondary etching process. In this secondary etching process, the lead frame blank 1110 is etched at its surface formed with first recesses 1150 having a flat etched bottom surface, to completely
5 perforate the second recesses 1160, thereby forming the tips of inner leads 131A (FIG. 11(d)).

The bottom surface 1170 of each recess formed by the primary etching process is flat. However, both side surfaces of each recess positioned at opposite sides of the
10 bottom surface 1170 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After completion of the cleaning process, the etch-resistant layer 1180, and resist films (resist patterns 1120A and 1120B) are sequentially removed. Thus,
15 a lead frame 130A having a structure of FIG. 9(a) is obtained in which tips of the inner leads 131A are arranged at a fine pitch. The removal of the etch-resistant layer 1180 and resist films (resist patterns 1120A and 1120B) is achieved using a sodium hydroxide solution serving to
20 dissolve them.

The processes for manufacturing the lead frame as shown in FIG. 11, is to form by means of etching the lead frame having the tips of the inner leads used in this embodiment of the present invention, which have a thickness
25 less than that of the lead frame. Especially, the first

surfaces 131Aa of the tips of the inner leads as shown in
FIG. 1, are flushed with one surfaces of remaining portions
of the inner leads having the same thickness with the lead
frame while being opposed to the second surfaces 131Ab, and
5 the third and fourth surfaces are formed to have a concave
shape which is depressed toward the inside of the inner
leads. Where a semiconductor chip is mounted on the second
surfaces 131Ab of the inner leads by means of bumps for an
electrical connection therebetween, as in a semiconductor
10 device according to a third embodiment as will be described
hereinafter, an increased tolerance for the connection by
bumps is obtained when the second surface 131Ab has a
concave shape depressed toward the inside of the inner
lead. To this end, an etching method shown in FIG. 12 is
15 adopted in this case. The etching method shown in FIG. 12
is the same as that of FIG. 11 in association with its
primary etching process. After completion of the primary
etching process, the etching method is conducted in a
manner different from that of the etching method of FIG. 11
20 in that the second etching process is conducted at the side
of the first recesses 1150 after filling up the second
recesses 1160 by the etch-resist layer 1180, thereby
completely perforating the second recesses 1160. At this
time, by implementing the primary etching process, etching
25 at the side of the second openings 1140 is performed in a

sufficient manner. The cross section of each inner lead, including its tip, formed in accordance with the etching method of FIG. 12, has a concave shape depressed toward the inside of the inner lead at the second surface 131Ab, as shown in FIG. 6(b).

The etching method in which the etching process is conducted at two separate steps, respectively, as in that of FIGs. 11 and 12, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130A of the first embodiment shown in FIG. 9 involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In particular, the etching method makes it possible to achieve a desired fineness. In accordance with the method illustrated in FIGs. 11 and 12, the fineness of the tip of each inner lead 131A formed by this method is dependent on the shape of the second recesses 1160 and the thickness t of the inner lead tip which is finally obtained. For example, where the blank has a thickness t reduced to 50 μm , the inner leads can have a fineness corresponding to a lead width W_1 of 100 μm and a tip pitch p of 0.15 mm, as shown in FIG. 11(e). In the case of using a small blank thickness t of about 30 μm and a lead

width W_1 of 70 μm , it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 mm . Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width W_1 . That is to say, an inner lead tip pitch p up to 0.08 mm , a blank thickness up to 25 μm , and a lead width W_1 up to 40 μm can be obtained.

In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in FIG. 9(a) can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state where the tips of the inner leads are bound to each other by a connecting member 131B as shown in FIG. 9(c)(1). Then, the connecting member 131B which is not necessary for the fabrication of a semiconductor package is cut off by means of a press to obtain a lead frame shaped as shown in FIG. 9(a).

Moreover, as described above, where unnecessary portions in a structure shown in FIG. 9(c)(1) are cut to obtain the lead frame having the contour shown in FIG.

9(a), a reinforcing tape 160 (a polyimide tape) is generally used, as shown in FIG. 9(c)(/). While the connecting member 131B is cut off by means of a press to obtain the contour shown in FIG. 9(c)(□), a semiconductor device is mounted on the lead frame still having the reinforcing tape attached thereon. Also, the mounted semiconductor device is encapsulated with a resin in a condition where the lead frame still has the tape. The line E11-E12 illustrates a cut portion.

The tip of the inner lead 131 of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in FIG. 13(1)(a). The tip 131A has an etched flat surface (second surface) 131Ab which is substantially flat and therefore has a width W1 slightly greater than the width W2 of an opposite surface. The widths W1 and W2 (about 1000 μ m) are more than the width W at the central portion of the tips when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily electrically connected to a semiconductor device (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as shown in FIG. 13(□)(a). In FIG. 13, a reference numeral

131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the case of FIG. 13(□)(a), there has particularly excellent in wire-bonding property, because the etched flat surface does not have roughness. FIG. 13(△) shows that the tip 1331B of the inner lead of the lead frame fabricated according to the process illustrated in FIG. 14 is wire-bonded to a semiconductor device. In this case, however, both the opposite surfaces of the tip 1331B of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite surfaces of the tip 1331B is formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared to that of the etched flat surface of this first embodiment. FIG. 13(□) shows that the inner lead tip 1331C or 1331D, obtained by thinning in its thickness by a means of a press (coining) and then by etching, is wire-bonded to a semiconductor device (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown FIG. 13(□). Thus, the wire-bonding on either of the opposite surfaces as shown in FIG. 13(□)(a) or FIG. 13(□)(b) often results in an insufficient wire-bonding stability and a problematic quality. The drawing reference numeral 1331Ab represents a coining surface.

A modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention will be described hereinafter. FIGs. 3(a) through 3(e) are cross-sectional views of the modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention. The semiconductor device of the modified example as shown in FIG. 3(a), is different from that of the first embodiment in that a position of the die pad 135 is changed, that is, the die pad 135 is exposed to the outside. By the fact that the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Also, in the semiconductor device of the modified example as shown in FIG. 3(b), because the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Unlike the first embodiment or the modified example as shown in FIG. 3(a), in the present modified example as shown in FIG. 3(b), because a direction of the semiconductor device 110 is changed, the first surfaces of the lead frame are established as the wire bonding surfaces. The modified examples as shown in FIGs. 3(c), 3(d) and 3(e), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the first embodiment, the modified

example as shown in FIG. 3(a) and the modified example as shown in FIG. 3(b), wherein the semi-spherical solders are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions, whereby
5 an entire manufacturing procedure can be simplified.

Next, a resin-encapsulated semiconductor device in accordance with a second embodiment of the present invention will be described. FIG. 4(a) is a cross-sectional view of the resin-encapsulated semiconductor
10 device in accordance with the second embodiment of the present invention, FIG. 4(b) is a cross-sectional view illustrating inner leads, taken along the line A3-A4 of FIG. 4(a), and FIG. 4(c) is a cross-sectional view illustrating a terminal column, taken along the line B3-B4
15 of FIG. 4(a). Because an outer appearance of the semiconductor device of the second embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 3, the drawing reference numeral 200 represents a semiconductor device,
20 210 a semiconductor chip, 211 electrodes (pads), 220 wires, 230 a lead frame, 231 inner leads, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B side surfaces, 233S top surfaces, 240 a resin encapsulate, and 270 a
25 reinforcing fastener tape. In the semiconductor device of

this second embodiment, the lead frame 230 does not have a die pad, the semiconductor chip 210 is fastened to the inner leads 231 by the reinforcing fastener tape 270, and the semiconductor chip 210 is electrically connected at its electrodes (pads) 211 to the second surfaces 231Ab of the inner leads 231 by wires 220. Also, in the case of this second embodiment, similarly to the first embodiment, the electrical connection between the resin-encapsulated semiconductor device 200 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 200 via the terminal portions 233A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 233A located on the top surfaces 233S of the terminal columns 233, respectively.

In addition, the semiconductor device of this second embodiment does not have a die pad as shown in FIGs. 10(a) and 10(b). The manufacturing method of the semiconductor device of this embodiment using the lead frame 230A which is shaped by the etching process is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of the second embodiment, the wire

bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 210 is fastened together with the inner leads 231 by the reinforcing fastener tape 270. Also, the cutting process for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment. The lead frame 230 as shown in FIG. 10(a) is obtained in the same manner by which the lead frame 130A as shown in FIG. 9(a) is obtained. In other words, by cutting the resultant structure obtained after etching the structure as shown in FIG. 10(c)(1), the contour as shown in FIG. 10(a) is obtained. At this time, the conventional reinforcing fastener tape 260 (the polyimide tape) as shown in FIG. 10(c)(2), which performs a reinforcing function is used.

FIG. 5(a) through 5(c) are cross-sectional views illustrating modified examples of the semiconductor device of the second embodiment. The semiconductor device as shown in FIG. 5(a) is different from the semiconductor device of the second embodiment, in that the surface of the semiconductor chip thereof which has the electrodes is directed downward. The modified examples as shown in FIGs. 5(b) and 5(c), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the second embodiment and the modified example as shown in FIG.

5(a), wherein the semi-spherical solders are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions. In these examples, because a protective frame is not used and the side surfaces 233B of the terminal columns 233 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

Hereinafter, a resin-encapsulated semiconductor device in accordance with a third embodiment of the present invention will be described. FIG. 6(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the third embodiment, FIG. 6(b) is a cross-sectional view illustrating inner leads, taken along the line A5-A6 of FIG. 6(a), and FIG. 6(c) is a cross-sectional view illustrating a terminal column, taken along the line B5-B6 of FIG. 6(b). Because an outer appearance of the semiconductor device of the this third embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 6, the drawing reference numeral 300 represents a semiconductor device, 310 a semiconductor chip, 312 bumps, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B side surfaces, 333S top surfaces, 340 a resin encapsulate, and 350 a

reinforcing fastener tape. In the semiconductor device of this third embodiment, the semiconductor chip 310 is fastened to the second surfaces 331Ab of the inner leads 331 by the bumps 311 thereby to be electrically connected to the second surfaces 331Ab. The lead frame 330 has a contour as shown in FIGs. 10(a) and 10(b), which is formed by the etching process of FIG. 11. As shown in FIG. 13(1)(b), both widths W1A and W2A (about 100 μ m) at top and bottom ends of the inner leads 331 are larger than a width WA at a center portion in a thickness-wise direction. Due to the fact that the second surfaces 331Ab of the inner leads 331 is depressed toward the inside of the inner leads and the first surfaces 331Aa are flat, a desired fineness can be obtained. Also, when the second surfaces 331Ab of the inner leads 331 are electrically connected to the semiconductor chip via bumps, easy connection can be accomplished as shown in FIG. 13(2)(b). Further, in the case of this third embodiment, as in the case of the first and second embodiments, the electrical connection between the resin-encapsulated semiconductor device 300 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 300 via the terminal portions 333A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 333A located on the top surfaces of the terminal

columns 333, respectively.

In addition, unlike the semiconductor device of the first embodiment, the semiconductor device of this third embodiment uses a lead frame which is shaped by the etching process as shown in FIG. 12. However, the manufacturing method of the semiconductor device of this embodiment is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of this third embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 310 is fastened to the inner leads 331 via the bumps. Also, the cutting process for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment.

FIG. 6(d) is a cross-sectional view illustrating a modified example of the semiconductor device in accordance with the third embodiment of the present invention. In the modified example of the semiconductor device as shown in FIG. 6(d), the terminal portions each comprising the semi-spherical solder are not provided, and the top surfaces of the terminal columns are directly used as the terminal

portions. Because the protective frame is not used and the side surfaces 333B of the terminal columns 333 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

5 Hereinafter, a resin-encapsulated semiconductor device in accordance with a fourth embodiment of the present invention will be described. FIG. 7(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the fourth embodiment, FIG. 7(b) is a cross-sectional view illustrating inner leads, taken along the line A7-A8 of FIG. 7(a), and FIG. 7(c) is a cross-sectional view illustrating a terminal column, taken along the line B7-B8 of FIG. 7(b). Because an outer appearance of the semiconductor device of the this fourth embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 7, the drawing reference numeral 400 represents a semiconductor device, 410 a semiconductor chip, 411 pads, 430 a lead frame, 431 inner leads, 431Aa a first surface, 431Ab a second surface, 431Ac a third surface, 431Ad a fourth surface, 433 terminal columns, 433A terminal portions, 433B side surfaces, 433S top surfaces, 440 a resin encapsulate, and 470 insulating adhesive. In the semiconductor device of this fourth embodiment, one surface of the semiconductor chip 410 on which the pads 411 are disposed is fastened to the second

10
15
20
25

surfaces 431Ab of the inner leads 431 by the insulating adhesive 470, and the pads 411 and the first surfaces 431Aa of the inner leads 431 are electrically connected with each other by wires 420. The semiconductor device of this fourth embodiment uses the same lead frame which is used in the third embodiment, which has the contour as shown in FIG. 10(a) and 10(b). Also, in the case of this fourth embodiment, as in the case of the first and second embodiments, the electrical connection between the resin-encapsulated semiconductor device 400 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 400 via the terminal portions 433A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 433A located on the top surfaces of the terminal columns 433, respectively.

FIG. 7(d) is a cross-sectional view illustrating a modified example of the semiconductor device in accordance with the fourth embodiment of the present invention. In the modified example of the semiconductor device as shown in FIG. 7(d), the terminal portions each comprising the semi-spherical solder are not provided, and the top surfaces of the terminal columns are directly used as the terminal portions. Because the protective frame is not used and the side surfaces 433B of the terminal columns 433

are exposed to the outside, a checking operation by a test, etc. can be easily performed.

[EFFECTS OF THE INVENTION]

5 The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number. Furthermore, the resin-encapsulated semiconductor device in accordance with this invention does not require a process of cutting or bending
10 the dam bars as in the case of using a lead frame having outer leads as shown in FIG. 13(b). As a result of this, the resin-encapsulated semiconductor device does not have a problem in that the outer leads are bent, or a problem
15 associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a parasitic capacity, and shortened in a transfer delay
20 time.

591543 v1